

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

Requested Patent      JP2000269466A

Title:

**SEMICONDUCTOR DEVICE AND MANUFACTURE METHOD OF NONVOLATILE  
SEMICONDUCTOR MEMORY ;**

Abstracted Patent      JP2000269466 ;

Publication Date:      2000-09-29 ;

Inventor(s):      SAKAGAMI SHIGETO ;

Applicant(s):      TOSHIBA CORP ;

Application Number:      JP19990068017 19990315 ;

Priority Number(s):      ;

IPC Classification:

H01L27/115; H01L21/76; H01L27/10; H01L21/8247; H01L29/788; H01L29/792 ;

Equivalents:      ;

**ABSTRACT:**

**PROBLEM TO BE SOLVED:** To prevent shallow trench isolation(STI) ends from sinking in.  
**SOLUTION:** This manufacturing method comprises pulling back a nitride film constituting hard pattern masks which cover peripheral transistor forming regions and cell transistor forming regions, thereby narrowing the width by just A1 resulting in a nitride film 14B. Then the nitride film 14B covered with an oxide film 22 on the cell transistor forming regions is pulled back, thereby narrowing the width of the nitride film 14B by A2 on the peripheral transistor forming regions resulting in a nitride film 14C, and forming open holes 28A, 28B into an embedded oxide film 28, using the nitride films 14B, 14C, thereby preventing STI ends composed of the embedded oxide film 28 from sinking in.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-269466

(P2000-269466A)

(43)公開日 平成12年9月29日 (2000.9.29)

(51)Int.Cl. <sup>7</sup>	識別記号	P I	コード(参考)
H 01 L 27/115		H 01 L 27/10	4 3 4 5 F 0 0 1
21/76			4 8 1 5 F 0 3 2
27/10	4 8 1	21/76	L 5 F 0 8 3
21/8247		29/78	3 7 1
29/788			

審査請求 未請求 請求項の数 5 OL (全 11 頁) 最終頁に続く

(21)出願番号 特願平11-68017

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(22)出願日 平成11年3月15日 (1999.3.15)

(72)発明者 坂上栄人

三重県四日市市山之一色町800 株式会社  
東芝四日市工場内

(74)代理人 100064285

弁理士 佐藤一雄 (外3名)

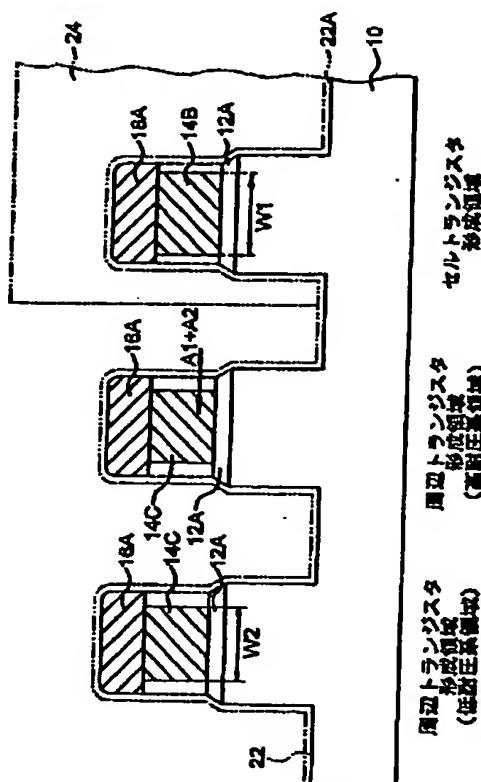
最終頁に続く

(54)【発明の名称】 半導体装置及び不揮発性半導体記憶装置の製造方法

(57)【要約】

【課題】 STI端に落ち込みが発生しないようにする。

【解決手段】 周辺トランジスタ形成領域及びセルトランジスタ形成領域にあるハードパターンマスクとしての塗化膜14AをPuu11-Backして、幅をA1だけ狭めて、塗化膜14Bとする。次に、セルトランジスタ形成領域の塗化膜14Bを酸化膜22で覆った状態で、Puu11-Backして、周辺トランジスタ形成領域にある塗化膜14Bの幅をA2だけ狭めて、塗化膜14Cとする。この塗化膜14B、14Cを用いて埋め込み酸化膜28に開孔28A、28Bを形成することにより、埋め込み酸化膜28からなるSTI端に落ち込みが発生しないようにすることができる。



【特許請求の範囲】

【請求項1】半導体基板上に、トレンチアイソレーション形成領域に開口を有する第1パターンマスクを形成する工程と、  
前記第1パターンマスクを用いて前記半導体基板にアイソレーション開口を形成する工程と、  
前記第1パターンマスクの幅を狭めて、第1の幅の第1マスクと、この第1の幅よりも狭い第2の幅の第2マスクとを有する、第2パターンマスクを形成する工程と、  
前記アイソレーション開口を埋めるとともに、前記第2パターンマスクまで達する埋め込み絶縁膜を形成する工程と、  
前記第2パターンマスクを除去して、前記埋め込み絶縁膜における前記第1マスクを除去した部分に前記第1の幅の第1開口を形成するとともに、前記埋め込み絶縁膜における前記第2マスクを除去した部分に前記第2の幅の第2開口を形成する工程と、  
前記第1開口の底面及び前記第2開口の底面に、第1の膜厚の第1絶縁膜を形成する工程と、  
前記第1開口の底面に形成された第1絶縁膜を残存させたまま、前記2開口の底面に形成された第1絶縁膜を除去する工程と、  
前記第2開口の底面に、前記第1絶縁膜と異なる膜厚の第2絶縁膜を形成する工程と、  
を備えたことを特徴とする半導体装置の製造方法。  
【請求項2】前記第2パターンマスクを形成する工程は、  
前記第1パターンマスクの幅を所定量後退させて、前記第1の幅の前記第1マスクを形成する工程と、  
前記第1絶縁膜を形成する領域を覆った状態で、前記第1マスクの幅を所定量後退させて、前記第2絶縁膜を形成する領域に、前記第2の幅の前記第2マスクを形成する工程と、  
を備えたことを特徴とする請求項1に記載の半導体装置の製造方法。  
【請求項3】前記第2マスクを形成する工程で前記第1絶縁膜を形成する領域を覆う工程は、  
前記半導体基板上に第3絶縁膜を形成する工程と、  
前記第3絶縁膜上の前記第1絶縁膜を形成する領域に、  
フォトレジストパターンを形成する工程と、  
前記フォトレジストパターンを用いて、前記第1絶縁膜を形成する領域に前記第3絶縁膜を残存させたまま、前記第2絶縁膜を形成する領域の前記第3絶縁膜を除去する工程と、  
前記フォトレジストパターンを除去する工程と、  
を備えたことを特徴とする請求項2に記載の半導体装置の製造方法。  
【請求項4】前記第1絶縁膜を形成する領域はセルトランジスタ形成領域であり、前記第2絶縁膜を形成する領域はその周辺トランジスタ形成領域である。

ことを特徴とする請求項1乃至3のいずれかに記載の半導体装置の製造方法。

【請求項5】前記第1絶縁膜の膜厚は、前記第2絶縁膜の膜厚より、薄いことを特徴とする請求項1乃至請求項4のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及び不揮発性半導体記憶装置の製造方法に関するものであり、特に、素子分離にSTI (Shallow Trench Isolation) を用いる半導体装置及び不揮発性半導体記憶装置の製造方法に関する。

【0002】

【従来の技術】近年、半導体装置の縮小化により素子分離方法として従来のLOCOS法からSTIによる素子分離が行われるようになってきた。このSTIを用いた素子分離で問題となるのは、特にトンネル酸化膜により消去・書き動作を行うために高電位を発生させる必要のあるフローティングゲートを有する不揮発性半導体記憶装置である。

【0003】この不揮発性半導体記憶装置では、トンネル酸化膜を形成する部分のトランジスタの他に、高電位を発生させるため厚いゲート酸化膜厚をもつトランジスタ（高耐圧系トランジスタ）と、低電源電圧動作を行うための薄いゲート酸化膜厚をもつトランジスタ（低耐圧系トランジスタ）が必要となる。つまり、トンネル酸化膜を形成する部分のセルトランジスタと、高耐圧系トランジスタと、低耐圧系トランジスタの3種類のトランジスタが必要となる。このように3種類のトランジスタを形成する場合、セルトランジスタのトンネル酸化膜の膜厚が一番薄く、次に、低耐圧系トランジスタの酸化膜の膜厚が薄く、高耐圧系トランジスタの酸化膜の膜厚が一番厚い。

【0004】このように複数のゲート酸化膜厚の付け分けが必要となる不揮発性半導体記憶装置では、STIの落ち込みによるトランジスタ性能の劣化が問題となる。図12は、このSTIの落ち込みを説明するための不揮発性半導体記憶装置の製造過程の1断面図であり、図13は、図12を上側から見た平面図である。つまり、図12は図13におけるA-A線断面図である。これら図12及び図13には、MOSトランジスタが示されている。

【0005】図12及び図13に示すように、STIの落ち込みとは、半導体基板100の活性領域102とSTI領域104の境界部分で、ゲート酸化膜108の付け分けにより行う酸化膜のエッチングにより、境界部分のSTIが膜減りを起こし、この境界部分が活性領域表面よりも半導体基板100側に落ちこんでしまう落ち込み106が生じる現象である。

【0006】

【発明が解決しようとする課題】すなわち、図13に示すように、活性領域102を囲むようにSTI領域104の境界部分に落ち込み106が発生する。このように落ち込み106が生じると、図12に示すように、この落ち込み106部分にゲート電極110も落ち込んでくる。ゲート電極110が落ち込むと、落ち込んだ境界領域が活性領域102の側面部分の影響を受けるため、MOSトランジスタのサブスレショルド領域にキンクが発生する異常が起きる。図14は、キンクのあるトランジスタについての、ゲート電圧Vgと、ソース・ドレイン電流Idのlog Idとの関係を示す図である。

【0007】この図14に示すように、キンクが発生すると、MOSトランジスタのカットオフ特性が悪化し、オフリーク電流が増える。このため、回路動作の不安定性や待機動作時の消費電力増などの問題を引き起こす。

【0008】そこで、本発明は上記課題に鑑みてなされたものであり、STIを有する半導体装置において、複数の異なる膜厚の酸化膜を形成した場合でも、STIの境界領域に落ち込みが発生しないようにすることを目的とする。そして、これにより、MOSトランジスタのカットオフ特性を改善し、オフリーク電流が増大しないようにすることを目的とする。つまり、回路動作の安定した、待機動作時の消費電力の少ない、MOSトランジスタを有する半導体装置及び不揮発性半導体記憶装置を提供することを目的とする。

#### 【0009】

【課題を解決するための手段】上記課題を解決するため、本発明に係る半導体装置の製造方法は、半導体基板上に、トレチアイソレーション形成領域に開口を有する第1パターンマスクを形成する工程と、前記第1パターンマスクを用いて前記半導体基板にアイソレーション開口を形成する工程と、前記第1パターンマスクの幅を狭めて、第1の幅の第1マスクと、この第1の幅よりも狭い第2の幅の第2マスクとを有する、第2パターンマスクを形成する工程と、前記アイソレーション開口を埋めるとともに、前記第2パターンマスクまで達する埋め込み絶縁膜を形成する工程と、前記第2パターンマスクを除去して、前記埋め込み絶縁膜における前記第1マスクを除去した部分に前記第1の幅の第1開口を形成するとともに、前記埋め込み絶縁膜における前記第2マスクを除去した部分に前記第2の幅の第2開口を形成する工程と、前記第1開口の底面及び前記第2開口の底面に、第1の膜厚の第1絶縁膜を形成する工程と、前記第1開口の底面に形成された第1絶縁膜を残存させたまま、前記2開口の底面に形成された第1絶縁膜を除去する工程と、前記第2開口の底面に、前記第1絶縁膜と異なる膜厚の第2絶縁膜を形成する工程と、を備えたことを特徴とする。

#### 【0010】

【発明の実施の形態】本発明は、素子分離方法にSTI

を用い、異なる膜厚の酸化膜を付け分ける半導体装置において、酸化膜の付け分けで必要な酸化膜のエッチングによって起こるSTI境界領域の落ち込みを防ぐため、STIの形成工程においてマスク材の塗化膜のPu11-Backによる後退量をセルトランジスタ形成領域と周辺トランジスタ形成領域に分けて独立に制御するようにしたものである。以下、本発明の一実施形態を不揮発性半導体記憶装置を例にして説明する。

【0011】図1乃至図11は、本実施形態に係る不揮発性半導体記憶装置の製造工程を示す工程断面図である。

【0012】まず、図1に示すように、例えばシリコン基板10表面に、熱酸化法などによりパッド酸化膜12を形成する。本実施形態では、このパッド酸化膜12は、1nm～25nmの膜厚で形成する。このパッド酸化膜12は、この後の工程でSTI加工のマスク材となる塗化膜14からの塗素の拡散により、シリコン基板10表面が直接塗化されることを防止する役割を有している。

【0013】次に、このパッド酸化膜12上に、例えばCVD (Chemical Vapor Deposition) 法等により、塗化膜14と酸化膜16とを形成する。本実施形態では、塗化膜14は、100nm～200nmの膜厚で形成する。酸化膜16は、TEOS系又はSiH<sub>4</sub>系の酸化膜を100nm～200nmの膜厚で形成する。続いて、活性領域をバーニングするためのフォトレジストマスク18をフォトリソグラフィー法により形成する。これにより、STI形成領域に開口を有するフォトレジストマスク18が得られる。

【0014】次に、図2に示すように、フォトレジストマスク18を用いて、酸化膜16と塗化膜14とパッド酸化膜12とを、順番にRIE (Reactive Ion Etching) 法によりエッチングして除去する。続いて、フォトレジスト18をレジスト剥離プロセスにより除去する。これにより活性領域のパターンがフォトレジストマスク18から酸化膜16と塗化膜14とパッド酸化膜12に転写され、STI形成領域に開口を有する酸化膜16Aと塗化膜14Aとパッド酸化膜12Aとが、形成される。

【0015】次に、これら酸化膜16Aと塗化膜14Aとパッド酸化膜12Aとからなる積層膜をハードバーナンマスクとして、シリコン基板10をRIE法によりエッチングする。これにより、半導体基板10にトレチアイソレーション開口(素子分離領域)20を形成する。続いて、このシリコン基板10のRIEの後処理としてHF系の処理を行い、RIE法で形成された反応物の除去を行う。

【0016】次に図3に示すように、周辺トランジスタ形成領域及びセルトランジスタ形成領域の双方における塗化膜14Aの幅を狭めて、塗化膜14Bを形成する。

具体的には、HFグリセロール溶液による第1回目の処理を行い、マスク材となっている塗化膜14Aを選択的にエッチングする。このような手法を一般的に、P u 11-Back法という。このP u 11-Back法により、すべてのパターンについて塗化膜14Aの幅をA1だけ細める。つまり、第1回目のHFグリセロール溶液の処理による塗化膜14AのP u 11-Back量は、A1である。

【0017】次に、図4に示すように、CVD法等により、酸化膜22を形成する。本実施形態では、この酸化膜22は、TEOS系またはSiH<sub>4</sub>系の酸化膜を5nm～20nmの膜厚で形成する。この酸化膜22は、次の第2回目以降に行うHFグリセロール処理による塗化膜14Bエッチング時のマスク材となる。

【0018】次に、セルトランジスタ形成領域にフォトレジストマスク24をフォトリソグラフィー法により形成する。競いて、フォトレジストマスク24の着いた状態でBHF (Buff ered HF) 溶液などにより、周辺トランジスタ形成領域にある酸化膜22を除去する。これにより、セルトランジスタ形成領域に酸化膜22を残存させる。

【0019】次に、フォトレジストマスク24を剥離した後、HFグリセロールにより第2回目の処理を行うことで、酸化膜を除去した領域（周辺トランジスタ形成領域）にある塗化膜14Bの幅をA2だけ狭めて、塗化膜14Cを形成する。すなわち、周辺トランジスタ形成領域にある塗化膜14Bについて、追加のP u 11-Backを行う。この追加のP u 11-Backにより、周辺トランジスタ形成領域にある塗化膜14Bの幅がA2だけ細まるので、塗化膜14Cはもとの塗化膜14Aと比べて都合A1+A2だけ細くなる。

【0020】このHFグリセロールによる第2回目の処理の時に直接フォトレジストマスク24によりマスクする方法を取らないのは、次のような理由によるものである。まず第1に、フォトレジストマスクが、HFグリセロールの溶剤のとなっているグリセリンに対する耐性を有しないためである。第2に、セルトランジスタ形成領域に直接フォトレジストをつけないことにより、フォトレジストからの不純物が半導体基板10側に侵入しないようにブロックするためである。第3に、この後で行う丸め酸化膜（酸化膜26）による塗化膜14B下側へのバーズピークの侵入を抑制するためである。バーズピークが塗化膜14B下側に侵入すると、この後で形成するセルトランジスタのチャネル幅のバラツキや、トンネル酸化膜の信頼性に悪影響を及ぼすこととなるので、これを回避できる。

【0021】次に、図5に示すように、バーニングされたシリコン基板10に、熱酸化法などにより酸化膜26を形成する。本実施形態では、この酸化膜26は、5nm～40nmの膜厚で形成する。この時、最終的に活性領域となるコーナー部分26aが丸くなるような条件で、酸化を行う。

【0022】次に、シリコン基板10上に素子分離領域（STI形成領域）の埋め込み材となる埋め込み酸化膜28を堆積する。この埋め込み酸化膜28の堆積方法としては、例えばTEOS系の酸化膜をCVD法により、SiH<sub>4</sub>系の膜をHDP (High Density Plasma) 法により、シリコン基板10からマスク材である酸化膜22Aまで十分に埋め込める条件で、堆積を行うことにより形成される。

【0023】次に、図6に示すように、CMP (Chemical Mechanical Polishing) 法により、この埋め込み酸化膜28を研磨し平坦化する。この時、ハードパターンマスクとして用いた塗化膜14B、14Cが研磨のストッパーとなる。このCMPにより、ラインL1のところまで、研磨される。次にBHFなどによるウェットエッチング処理を行い、埋め込み酸化膜28表面の微少なスクレッチ傷や研磨時についた異物をリフトオフすることで除去する。

【0024】次に、ハードパターンマスクとして用いた塗化膜14B、14Cをホットリソ酸などによりウェットエッチングし除去する。これら2つのウェットエッチングにより、埋め込み酸化膜28がラインL2のところまでエッチングされる。これにより、埋め込み酸化膜28に開口28Aと開口28Bを形成する。ここで形成される開口28Aの幅はW1であり、開口28Bの幅はW1よりも狭いW2である。

【0025】また、この時、パッド酸化膜12Aにピンホールなどが形成され、この後の高温アニールでシリコン基板荒れを起こす可能性があるため、熱酸化により10nm程度の追加酸化を行う。この後に1000℃以上の高温アニールを加えSTIの埋め込みにより発生した応力を解放する。すなわち、埋め込み酸化膜28からなるSTIを形成することによる半導体基板10に生じる応力を解放する。

【0026】次に、図7に示すように、パッド酸化膜12Aをウェットエッチングで除去する。このパッド酸化膜12Aの部分的除去により、活性領域におけるSTI端がB0だけ後退する。つまり、開口28A、28Bの幅がB0だけ広まる。競いて、開口28A、28Bに犠牲酸化膜30を形成する。この犠牲酸化膜30は、イオン注入を行うためのものであり、本実施形態では10nm～30nmの膜厚で形成する。

【0027】次に、ウェル形成領域や、セルトランジスタ形成領域および周辺トランジスタ形成領域におけるチャネル領域の不純物プロファイルを調整するため、フォトレジストを用いてバーニングを行い所望の不純物をイオン注入法によりシリコン基板10中に導入する。競いて、シリコン基板10に注入した不純物を活性化するために、熱処理を行う。

【0028】次に、図8に示すように、トンネル酸化膜32を形成するために、ウェットエッチング処理を行い、開口28A、28Bにある犠牲酸化膜30を除去する。このウェットエッチング処理により、周辺トランジスタ形成領域及びセルトランジスタ形成領域の活性領域におけるSTI端がさらにB1だけ後退する。つまり、開口28A、28Bの幅が、都合B0+B1だけ広くなる。

【0029】次に、トンネル酸化を行い、開口28A、28Bにセルトランジスタのトンネル酸化膜32を形成する。本実施形態では、このトンネル酸化膜32は、8nm～10nmの厚さで形成する。次に、セルトランジスタのフローティングゲートとなるリンをドープしたポリシリコンを堆積し、このポリシリコンにスリット34を形成する。これにより、セルトランジスタのフローティングゲート36を形成する。続いて、このフローティングゲート36上に、ONO絶縁膜38を形成する。

【0030】次に、図9に示すように、光リソグラフィー法により、セルトランジスタ形成領域を覆う、フォトレジストマスク40を形成する。続いて、このフォトレジストマスク40を用いてバーニングを行い、周辺トランジスタ形成領域上からONO絶縁膜38とフローティングゲート36を形成したポリシリコンを、ドライエッチング法により除去する。

【0031】次に、周辺トランジスタ形成領域上からトンネル酸化膜32をウェットエッチング処理により除去する。このウェットエッチング処理により、周辺トランジスタ形成領域のSTI端がさらにB2後退する。つまり、開口28Bの幅は、都合、B0+B1+B2だけ広がる。続いて、フォトレジストマスク40の除去を行う。

【0032】次に、図10に示すように、周辺トランジスタ形成領域における開口28Bに、第1の周辺ゲート酸化膜42を形成する。本実施形態では、この第1の周辺ゲート酸化膜42は、12nm～15nmの膜厚で形成する。この時、セルトランジスタ形成予定領域では、ONO絶縁膜38によりフローティングゲート36が保護されているので、酸化されることはない。

【0033】次に、周辺トランジスタ形成領域のうち、薄いゲート酸化膜を形成する領域（低耐圧系領域）に開口を有するフォトレジストマスク44を形成する。つまり、セルトランジスタ形成領域と周辺トランジスタ形成領域のうちの高耐圧系領域とを覆う、フォトレジストマスク44を形成する。このフォトレジストマスク44のついた状態で、ウェットエッチング処理を行う。これにより、周辺トランジスタ形成領域のうち薄いゲート酸化膜を形成する領域における、第1の周辺ゲート酸化膜42を除去する。つまり、低耐圧系領域にある開口28Bから、第1の周辺ゲート酸化膜42を除去する。これにより低耐圧系領域ではSTI端がさらにB3だけ後退す

る。つまり、低耐圧系領域の開口28Bの幅は、都合、B0+B1+B2+B3だけ広くなる。

【0034】次に、図11に示すように、周辺トランジスタ形成領域のうち低耐圧系領域に、第2の周辺ゲート酸化膜46を形成する。本実施形態では、この第2の周辺ゲート酸化膜46は、4nm～6nmの膜厚で形成する。続いて、フォトレジストマスク44を除去する。次に、セルトランジスタにおけるコントロールゲートとなり、周辺トランジスタのゲートとなるポリシリコン48を堆積する。この時、高耐圧系領域の第1の周辺ゲート酸化膜42は追加酸化されるため、さらに膜厚が厚くなる。

【0035】この後、図示は省略するが、ポリシリコン48をバーニングすることにより、セルトランジスタのゲート電極のバーニングと、周辺トランジスタのゲート電極のバーニングを行う。続いて、セルトランジスタや周辺トランジスタの形成に必要な拡散層を形成するためのイオン注入を行い、さらに、サイドウォールを形成した後に高濃度の拡散層ならびにゲートポリシリコンへの不純物の導入を行う。この時、N MOS領域にはAs（砒素）を、P MOS領域にはB（ボロン）を導入する。この後、通常のサリサイドプロセスを行い配線層を形成し、最後にバッシベーション層を形成することで不揮発性半導体記憶装置の製造プロセスが終了する。

【0036】以上のように、本実施形態に係る不揮発性半導体記憶装置の製造方法によれば、図4に示すように、マスク材として用いる塗化膜14Bと塗化膜14Cの幅が異なるようにしたので、STI端が活性領域から落ち込まないようにすることができる。すなわち、塗化膜14Bの幅W1よりも、塗化膜14Cの幅W2が小さくなるようにしたので、図6に示すように、埋め込み酸化膜に形成される開口28Bの幅を、開口28Aの幅よりも狭くすることができる。このためフローティングゲート36形成後に開口28Bのトンネル酸化膜32を除去するエッチング処理で、開口28Bの幅が広がったとしても、図11に示すように、STI端にゲートとなるポリシリコン48が落ち込まないようにすることができる。したがって、従来のようにセルトランジスタや周辺トランジスタのサブスレショルド領域にキック特性が現れないようになることができる。

【0037】また、図11に示すように、3種類の異なる膜厚の酸化膜であるトンネル酸化膜32と第1の周辺ゲート酸化膜42と第2の周辺ゲート酸化膜46とを形成する場合には、STI端における埋め込み酸化膜28後退量B0、B1、B2、B3と、Pull-Backによる塗化膜14の後退量との関係が、 $B_0 + B_1 < A_1$ 、 $B_0 + B_1 + B_2 + B_3 < A_1 + A_2$ になれば、STI端が活性領域から落ち込まないようにすることができる。ここで、セルトランジスタ形成領域における埋め込み酸化膜28の開口28Aの後退量は $B_0 + B_1$ であ

り、周辺トランジスタ形成領域の高耐圧系領域における埋め込み酸化膜28の開口28Bの後退量はB0+B1+B2であり、周辺トランジスタ形成領域の低耐圧系領域における埋め込み酸化膜28の開口28Bの後退量はB0+B1+B2+B3である。このようにすることにより、周辺トランジスタ形成領域における低耐圧系領域及び高耐圧系領域と、セルトランジスタ形成領域において、ゲートとなるポリシリコン48がSTI端に落ち込まないようにすることができる。この関係を整理し、Pu11-Backによる塗化膜14の必要な後退量を求めると、A1>B0+B1、A2>B2+B3とすればよいことが分かる。

【0038】しかも、図4に示すように、塗化膜14BのPu11-Back量を最小限に抑えることができる所以、セルトランジスタにおけるチャネル幅のばらつきを抑えることができる。すなわち、Pu11-Back工程は、ウェット処理であるためエッティング量にばらつきを生じやすいが、本実施形態ではセルトランジスタ形成領域における塗化膜14Bに対して1回のPu11-Back工程で足り、しかもエッティング量を最小限に抑えることができるため、セルトランジスタ形成領域のSTI幅のばらつきが少なくなり、これによりセルトランジスタのチャネル幅のばらつきを抑えることができる。

【0039】また、図8に示すように、トンネル酸化膜32形成時におけるシリコン基板10のがたつきを抑制することができる。すなわち、パッド酸化膜12Aを除去した後、犠牲酸化膜30をウェットエッティングで除去する際に、犠牲酸化された部分が下がることで段差を生じる。この段差の生じる位置は、Pu11-Back量が大きいほど活性領域内側に入ることになり、Pu11-Back量が少なければ丸めた活性領域端部に近づくため、段差が生じにくい構造となる。このため、本実施形態のように、セルトランジスタ形成領域のPu11-Back量を、周辺トランジスタ形成領域のPu11-Back量より、少なくすることにより、基板表面のがたつきを防ぐことができる。特に、フラッシュメモリなどのセルトランジスタでは、トンネル酸化膜に対して高電界をかけて書き込み消去を行うため、基板表面に段差ができてしまうと、段差部分での電界集中などが起こり、セルトランジスタの特性に悪影響を与えてしまうが、本実施形態によればこれを回避することができる。

【0040】さらに、図4に示すように、周辺トランジスタ形成領域の塗化膜14BをPu11-Backする際に、セルトランジスタ形成領域を酸化膜22Aで覆うこととしたので、セルトランジスタのチャネル部である塗化膜14B下側に、バースピークが侵入するのを抑制することができ、セルトランジスタの特性のばらつきを低減することができる。

【0041】なお、本発明は上記実施形態に限定されず、種々に変形可能である。例えば、上記実施形態では、

不揮発性半導体記憶装置を例にその製造方法を説明したが、STI構造を有する異なる膜厚の酸化膜を有する半導体装置であれば、同様に適用することができる。

【0042】また、上記実施形態では、3種類の異なる膜厚の酸化膜を開口28A、28Bに形成することとしたが、2種類、4種類、5種類…等であっても同様に適用することができる。また、上記実施形態における異なる膜厚の酸化膜32、42、46は、他の絶縁膜であってもよい。

【0043】

【発明の効果】以上説明したように、本発明によれば、埋め込み絶縁膜により形成されたトレンチアイソレーションの端部が落ち込むことがなくなり、セルトランジスタ及び周辺トランジスタのサブレショルド領域にキンク特性が現れないようになることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る不揮発性半導体記憶装置の製造工程を示す工程断面図の一部。

【図2】本発明の一実施形態に係る不揮発性半導体記憶装置の製造工程を示す工程断面図の一部。

【図3】本発明の一実施形態に係る不揮発性半導体記憶装置の製造工程を示す工程断面図の一部。

【図4】本発明の一実施形態に係る不揮発性半導体記憶装置の製造工程を示す工程断面図の一部。

【図5】本発明の一実施形態に係る不揮発性半導体記憶装置の製造工程を示す工程断面図の一部。

【図6】本発明の一実施形態に係る不揮発性半導体記憶装置の製造工程を示す工程断面図の一部。

【図7】本発明の一実施形態に係る不揮発性半導体記憶装置の製造工程を示す工程断面図の一部。

【図8】本発明の一実施形態に係る不揮発性半導体記憶装置の製造工程を示す工程断面図の一部。

【図9】本発明の一実施形態に係る不揮発性半導体記憶装置の製造工程を示す工程断面図の一部。

【図10】本発明の一実施形態に係る不揮発性半導体記憶装置の製造工程を示す工程断面図の一部。

【図11】本発明の一実施形態に係る不揮発性半導体記憶装置の製造工程を示す工程断面図の一部。

【図12】従来のトランジスタにおいてSTI端に落ち込みが生じた状態を示す断面図（図12におけるA-A線断面図）。

【図13】従来のトランジスタにおいてSTI端に落ち込みが生じた状態を示す断面図（図11における平面図）。

【図14】キンク特性を有するトランジスタのVg-Id特性を示すグラフ。

【符号の説明】

10 半導体基板

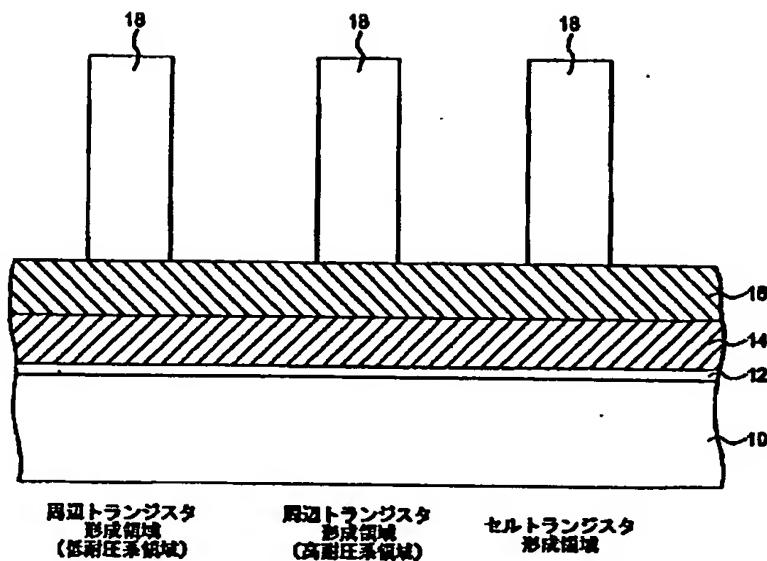
12 パッド酸化膜

14 塗化膜

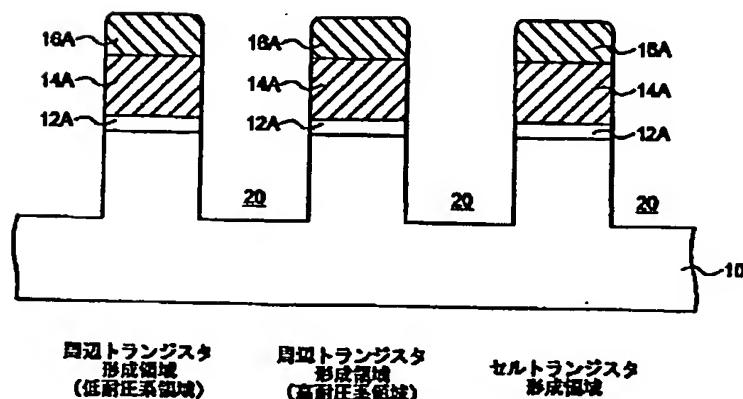
16 酸化膜  
 18 フォトレジストマスク  
 20 トレンチアイソレーション開口  
 22 酸化膜  
 24 フォトレジストマスク  
 26 酸化膜  
 28 酸化膜  
 30 極性酸化膜  
 32 トンネル酸化膜

34 スリット  
 36 フローティングゲート  
 38 ONO絶縁膜  
 40 フォトレジストマスク  
 42 第1の周辺ゲート酸化膜  
 44 フォトレジストマスク  
 46 第2の周辺ゲート酸化膜  
 48 ポリシリコン

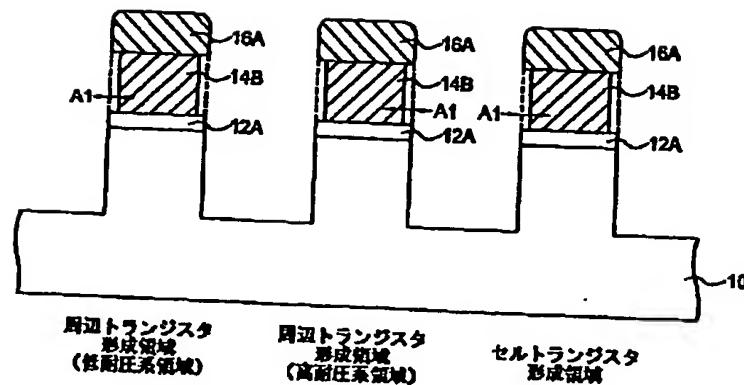
【図1】



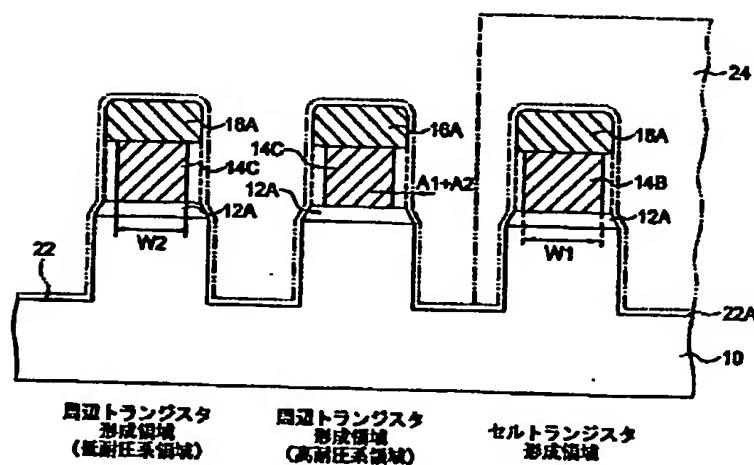
【図2】



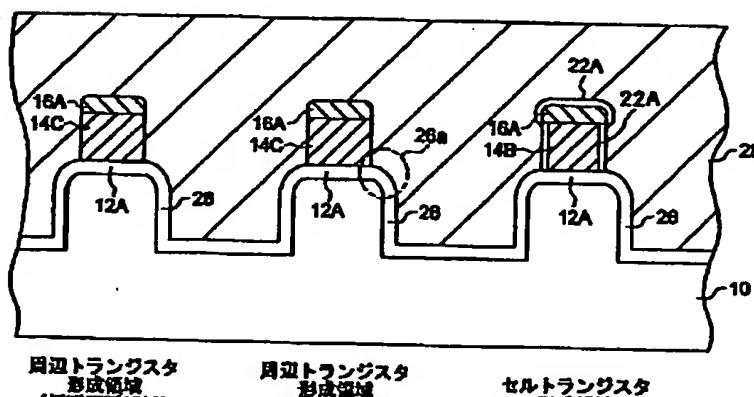
【図3】



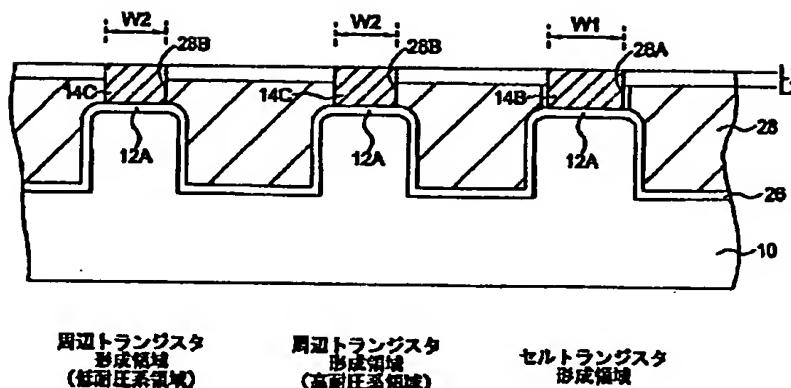
【図4】



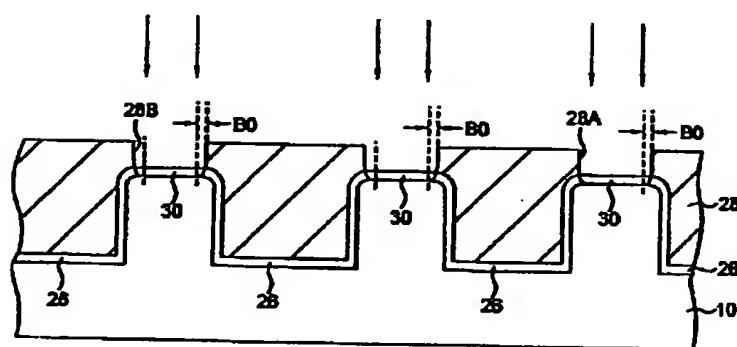
【図5】



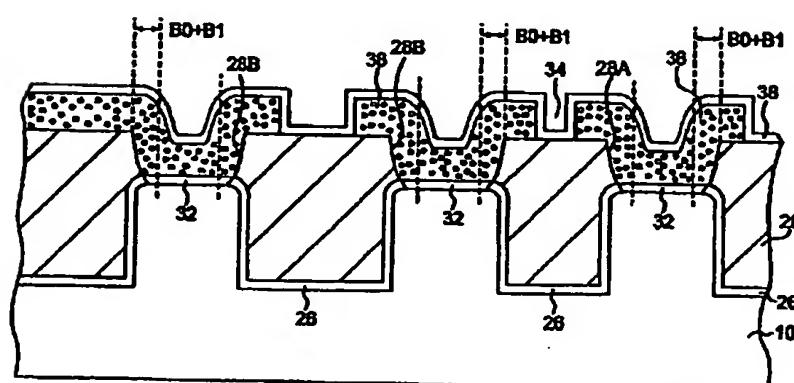
【図6】



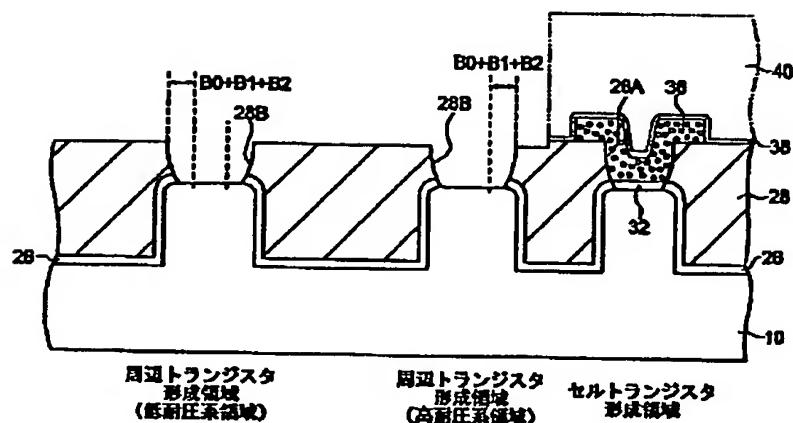
【図7】



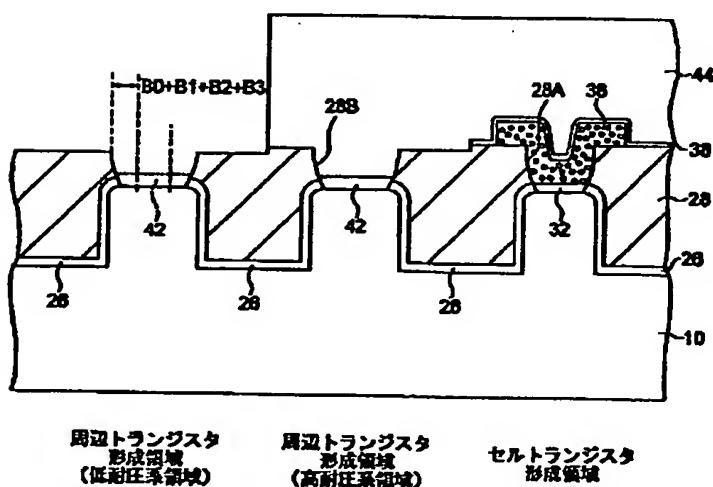
【図8】



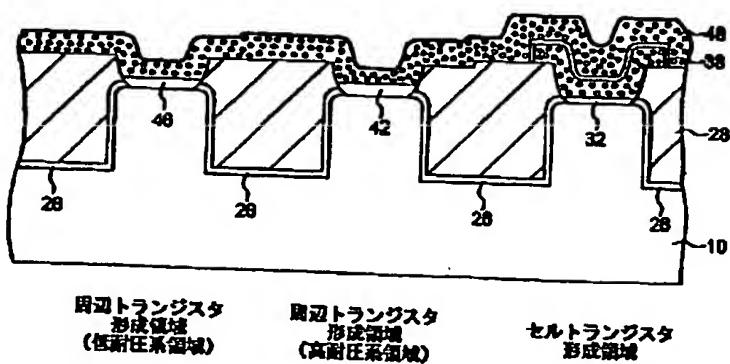
【図9】



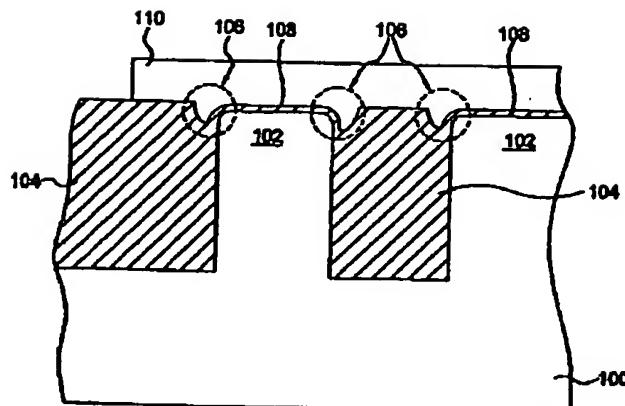
【図10】



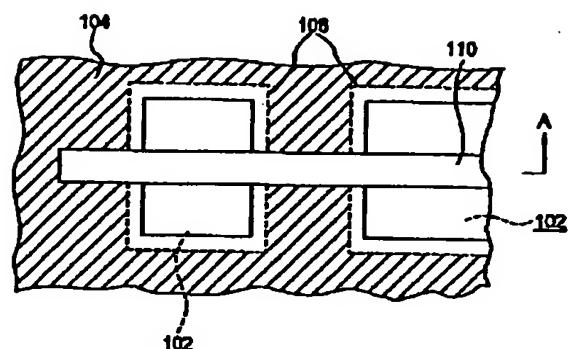
【図11】



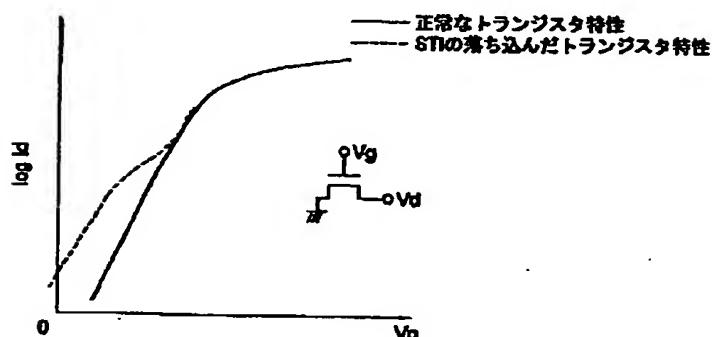
【図12】



【図13】



【図14】



フロントページの続き

(51) Int. Cl. 7

H01L 29/792

識別記号

F I

テクニト(参考)

F ターム(参考) 5F001 AA25 AA43 AA62 AA63 AB02  
 AD12 AD44 AD60 AE50 AF25  
 AG02 AG10 AG12 AG22 AG29  
 AG40  
 5F032 AA35 AA44 AA45 AA70 AA77  
 AA79 BA06 CA17 CA23 CA24  
 CA25 DA02 DA04 DA23 DA24  
 DA33  
 5F083 EP02,EP22 EP42 EP55 ER03  
 ER14 ER22 GA11 GA24 GA30  
 NA01 PR03 PR05 PR21 PR33  
 PR40 PR43 PR53 ZA07 ZA08